

Содержание

Введение	20
Глава 1. Введение в предмет	31
1.1. Численные представления	32
Аналоговое представление	32
Цифровое представление	33
1.2. Цифровые и аналоговые системы	34
Преимущества цифровой техники	34
Ограничения цифровой техники	35
Цифровое будущее	36
1.3. Цифровые системы счисления	37
Десятичная система	37
Десятичный счет	38
Двоичная система	39
Двоичный счет	40
1.4. Представление двоичных величин	41
Цифровые сигналы и временные диаграммы	42
1.5. Цифровые и логические схемы	43
Логические схемы	44
Цифровые интегральные схемы	44
1.6. Параллельная и последовательная передача информации	44
1.7. Память	46
1.8. Цифровые компьютеры	47
Основные элементы компьютера	47
Центральное процессорное устройство	48
Типы компьютеров	48
Глава 2. Системы счисления и коды	53
2.1. Преобразование из двоичной системы счисления в десятичную	54
2.2. Преобразование из десятичной системы счисления в двоичную	55
Последовательное деление	55
Диапазон счета	57
2.3. Восьмеричная система счисления	58
Преобразование из восьмеричной системы счисления в десятичную	58
Преобразование из десятичной системы счисления в восьмеричную	58
Преобразование из восьмеричной системы в двоичную	59
Преобразование из двоичной системы в восьмеричную	60
Восьмеричный счет	60
2.4. Шестнадцатеричная система счисления	61
Преобразование из шестнадцатеричной системы в десятичную	62
Преобразование из десятичной системы в шестнадцатеричную	62
Преобразование из шестнадцатеричной системы в двоичную	63
Преобразование из двоичной системы в шестнадцатеричную	63
Шестнадцатеричный счет	64
Преимущества шестнадцатеричной и восьмеричной систем	64
Выводы	65
2.5. Двоично-десятичный код	66
Двоично-десятичное кодирование	66
Сравнение двоично-десятичного и двоичного кодов	67
2.6. Подведем итоги	67
2.7. Байт	68

2.8. Алфавитно-цифровые коды	69
ASCII-код	69
2.9. Метод проверки четности для обнаружения ошибок	72
Бит четности	73
2.10. Применение	75
Глава 3. Логические элементы и булева алгебра	83
3.1. Булевы константы и переменные	85
3.2. Таблицы истинности	86
3.3. Логический элемент ИЛИ и операция ИЛИ	87
Логический элемент ИЛИ	88
Выводы	88
3.4. Логический элемент И и операция И	91
Логический элемент И	92
Выводы	93
3.5. Операция НЕ	95
Логический элемент НЕ (инвертор)	95
Выводы	96
3.6. Алгебраическое описание логических схем	96
Схемы с инверторами	97
3.7. Расчет выходных сигналов логических схем	98
Определение уровня выходного сигнала на схеме	99
3.8. Получение логических схем из булевых выражений	100
3.9. Логические элементы И-НЕ и ИЛИ-НЕ	102
Логический элемент ИЛИ-НЕ	102
Логический элемент И-НЕ	104
3.10. Булевы теоремы	106
Теоремы для нескольких переменных	108
3.11. Теоремы де Моргана	110
Следствия теорем де Моргана	112
3.12. Универсальность логических элементов И-НЕ и ИЛИ-НЕ	114
3.13. Альтернативное представление логических элементов	117
Интерпретация обозначений логических элементов	119
Резюме	120
3.14. Использование различных представлений логических элементов	121
Какой же вариант схемы более предпочтителен?	122
Размещение кружков, обозначающих инверсию	122
Анализ схем	124
Объявленные уровни	126
Маркировка низких логических сигналов	126
Маркировка сигналов, обладающих двумя активными состояниями	127
3.15. Стандарт представления логических элементов IEEE/ANSI	127
Традиционные обозначения или обозначения IEEE/ANSI?	128
Глава 4. Комбинационные логические схемы	139
4.1. Дизъюнктивная форма выражения	141
Конъюнктивная форма	141
4.2. Упрощение логических схем	142
4.3. Алгебраическое упрощение	142
4.4. Проектирование комбинационных логических схем	147
Полная методика проектирования	149
4.5. Метод карт Карно	154
Структура карт Карно	154
Группировка	155
Группировка ячеек попарно	156
Группировка ячеек по четыре (квартеты)	157

Группировка ячеек по восемь (октеты)	158
Полный процесс упрощения	158
Как заполнять карту Карно, исходя из выходного выражения	162
Безразличное состояние	163
Резюме	165
4.6. Исключающее ИЛИ и исключающее ИЛИ-НЕ	166
Исключающее ИЛИ	166
Исключающее ИЛИ-НЕ	167
4.7. Генератор и проверочное устройство сигнала четности	172
4.8. Разрешающие/запрещающие схемы	173
4.9. Основные характеристики цифровых ИС	176
Биполярные и униполярные цифровые ИС	177
Семейство ТТЛ	178
Семейство КМОП	179
Питание и общий провод	179
Диапазоны напряжения логических уровней	180
Неподключенные (плавающие) входы	180
Коммутационная диаграмма логических схем	181
4.10. Поиск неполадок в цифровых системах	182
4.11. Внутренние неполадки в цифровых ИС	184
Неисправность внутренних схем	184
Внутреннее замыкание входов на общий провод или источник питания	184
Внутреннее замыкание выхода на общий провод или источник питания	184
Разомкнутый вход или выход	186
Замыкание между двумя выводами	187
4.12. Внешние неполадки	188
Разомкнутый сигнальный провод	189
Замкнутый сигнальный провод	189
Неисправный источник питания	190
Перегрузка на выходе	190
4.13. Изучение неисправностей	191
4.14. Программируемые логические устройства	193
Программирование ПЛУ	194
Инструментальные программные средства	195
Введение в CPLD	197
Цикл разработки	199
Глава 5. Триггеры и родственные им устройства	217
5.1. Защелка на элементах И-НЕ	220
Установка защелки (триггера)	221
Сброс триггера	222
Одновременная установка и сброс	222
Резюме	223
Другие обозначения	223
Терминология	224
5.2. Защелка на элементах ИЛИ-НЕ	226
Состояние триггера при включении схемы	229
5.3. Поиск неполадок	229
5.4. Тактовые сигналы и синхронные триггеры	231
Синхронные триггеры	232
Время установки и время удержания триггера	233
5.5. Синхронные S-C-триггеры	234
Внутреннее строение S-C-триггеров, управляемых фронтом	236
5.6. Синхронные J-K-триггеры	238
Внутреннее строение J-K-триггеров, управляемых фронтом	240
5.7. Синхронный D-триггер	241

Реализация D-триггера	242
Параллельная передача данных	242
5.8. Защелка на D-триггере (прозрачная защелка)	243
5.9. Асинхронные входы	245
Маркировка асинхронных входов	247
5.10. Обозначение IEEE/ANSI	249
5.11. Временные процессы в триггерах	250
Моменты установки и удержания	251
Задержки распространения сигнала	251
Максимальная частота синхронизации f_{MAX}	251
Время нахождения тактовых импульсов на высоком и низком уровнях	252
Ширина активного асинхронного импульса	252
Время нарастания тактового сигнала	252
Реальные ИС	252
5.12. Потенциальные проблемы согласования по времени в схемах с триггерами	254
5.13. Триггеры Master/Slave	256
5.14. Применение триггеров	257
5.15. Синхронизация триггеров	257
5.16. Обнаружение последовательности входных импульсов	259
5.17. Хранение и передача данных	260
Параллельная передача данных	261
5.18. Последовательная передача данных: сдвиговые регистры	262
Требование к величине времени удержания	264
Последовательная передача между регистрами	264
Операция сдвига влево	265
Сравнение параллельного и последовательного типов передач	265
5.19. Деление частоты и счет	266
Счет	267
Диаграмма переходов	268
Коэффициент пересчета	269
5.20. Прикладная задача	270
5.21. Триггер Шмитта	272
5.22. Одновибратор (ждущий мультивибратор)	274
Одновибратор без повторного запуска	274
Одновибратор с повторным запуском	275
Реальные устройства	276
Ждущий мультивибратор	277
5.23. Анализ последовательных схем	277
5.24. Генератор тактовых (синхронизирующих) импульсов	280
Генератор на основе триггера Шмитта	280
Таймер 555 в качестве несинхронизированного мультивибратора	280
Кварцевые генераторы тактовых импульсов	282
5.25. Поиск неисправностей в схемах с триггерами	282
Разомкнутые входы	283
Короткозамкнутые выходы	284
Фазовый сдвиг тактовых (синхронизирующих) импульсов	286
5.26. Применение программируемых логических устройств	288
Защелка на элементах И-НЕ	288
D-защелка	289
Режим ввода переходов состояний при программировании ПЛУ	290
Глава 6. Цифровая математика: схемы и операции	313
6.1. Двоичное сложение	314
6.2. Представление чисел со знаком	315
Обратный код	316

Дополнительный код	317
Представление чисел со знаком в системе дополнительных кодов	317
Отрицание	319
Особый случай представления чисел через дополнительный код	320
6.3. Сложение в системе дополнительных кодов	322
6.4. Вычитание в системе дополнительных кодов	324
Переполнение	325
6.5. Умножение двоичных чисел	326
Умножение в системе дополнительных кодов	327
6.6. Двоичное деление	327
6.7. Сложение двоично-десятичных чисел	328
Сумма чисел меньше или равна 9	328
Сумма чисел больше 9	329
Вычитание двоично-десятичных чисел	330
6.8. Арифметика шестнадцатеричных чисел	331
Сложение шестнадцатеричных чисел	331
Вычитание шестнадцатеричных чисел	332
Представление чисел со знаком в шестнадцатеричном виде	333
6.9. Арифметические схемы	334
Арифметико-логическое устройство	334
6.10. Параллельный двоичный сумматор	335
6.11. Принцип работы полного сумматора	337
Минимизация методом карт Карно	338
Полусумматор	339
6.12. Параллельный полный сумматор с регистрами	340
Обозначения, описывающие работу регистров	340
Последовательность операций	342
6.13. Распространение сигнала переноса	342
6.14. Параллельный сумматор на базе ИС	343
Последовательное подключение параллельных сумматоров	345
6.15. Система дополнительных кодов	346
Сложение	346
Вычитание	346
Комбинация сложения и вычитания	348
6.16. Двоично-десятичный сумматор	350
Последовательное соединение двоично-десятичных сумматоров	352
6.17. Интегральные схемы АЛУ	353
АЛУ на базе ИС 74LS382/HC382	354
Расширение АЛУ	356
Другие АЛУ	357
6.18. Обозначения стандарта IEEE/ANSI	358
6.19. Пример поиска неисправностей	358
6.20. Полный сумматор на основе ПЛУ	360
Глава 7. Счетчики и регистры	375
Часть I	376
7.1. Асинхронные счетчики	376
Прохождение сигнала	378
Коэффициент пересчета	378
Деление частоты	379
7.2. Счетчики с коэффициентом пересчета менее 2^N	380
Диаграмма переходов состояний	382
Отображение состояний счетчика	382
Изменение коэффициента пересчета	384
Основной алгоритм	385
Десятичные счетчики/двоично-десятичные счетчики	385

7.3. Интегральные схемы асинхронных счетчиков	386
Обозначение стандарта IEEE/ANSI для счетчика на ИС 74LS293	390
Асинхронные счетчики на КМОП	391
7.4. Асинхронные вычитающие счетчики	392
7.5. Задержка на распространение сигнала в асинхронных счетчиках	394
7.6. Синхронные (параллельные) счетчики	396
Работа схемы	398
Преимущество синхронных счетчиков над асинхронными	398
Действующие ИС	399
7.7. Синхронные вычитающие и реверсивные счетчики	400
7.8. Предустанавливаемые счетчики	401
Синхронная предустановка	403
7.9. ИС 74ALS193/HC193	403
Входы синхронизации CP_U и CP_D	403
Вход задающего сброса	403
Предустановочные входы	403
Счетные выходы	404
Выходы конечного счета	404
Регулируемые значения коэффициента пересчета, используемые в ИС 74ALS193/HC193	408
Многокаскадная схема	409
7.10. Еще о системах обозначений стандарта IEEE/ANSI	410
Управляющая зависимость (C)	411
Направление счета (+ или –)	411
Зависимость И (G)	412
7.11. Декодирование значения счетчика	412
Декодирование, управляемое по высокому уровню сигнала	413
Декодирование, управляемое по низкому уровню сигнала	415
Декодирование двоично-десятичного счетчика	415
7.12. Сбои при декодировании	416
Стробирование	418
7.13. Последовательное включение двоично-десятичных счетчиков	419
7.14. Проектирование синхронного счетчика	420
Основная идея	421
Таблица возбуждений для J-K-триггера	421
Методика разработки	422
Управляющий элемент для шагового двигателя	426
7.15. Счетчик на сдвиговых регистрах	429
Кольцевой счетчик	429
Запуск кольцевого счетчика	430
Счетчик Джонсона	431
Декодирование счетчика Джонсона	433
ИС счетчиков на сдвиговых регистрах	433
Часть II	435
7.16. Применение счетчиков: счетчик частоты	435
Полная схема счетчика частоты	437
7.17. Применение счетчиков: цифровые часы	439
7.18. Регистры интегральных схем	442
7.19. Параллельный вход/параллельный выход — ИС 74ALS174/74HC174	443
7.20. Последовательный вход/последовательный выход — ИС 4731B	444
7.21. Параллельный вход/последовательный выход — ИС 74ALS165/74HC165	446
7.22. Последовательный вход/параллельный выход — ИС 74ALS164/74HC164	448
7.23. Условные обозначения регистров стандарта IEEE/ANSI	450
7.24. Решение основных проблем	452

7.25. Программирование ПЛУ при помощи булевых выражений для работы в качестве счетных схем	455
Другой метод	456
Глава 8. Семейства логических интегральных микросхем	475
8.1. Терминология цифровых ИС	477
Параметры тока и напряжения	477
Коэффициент разветвления	478
Задержки распространения	478
Требования к мощности	479
Произведение задержки сигнала на мощность рассеяния	480
Помехоустойчивость	481
Запрещенные уровни напряжения	483
Функционирование логических схем в режимах источника тока и нагрузки	483
Корпуса ИС	483
8.2. Логическое семейство ТТЛ	487
Функционирование схемы в состоянии с низким уровнем	488
Функционирование схемы в состоянии с высоким уровнем	489
Функционирование в режиме нагрузки	490
Функционирование в режиме источника тока	490
Схема с двухтактным выходом	490
Элемент ТТЛ ИЛИ-НЕ	492
Резюме	492
8.3. Технические характеристики ТТЛ	493
Диапазон значений температур и напряжений источника питания	494
Уровни напряжения	495
Максимальные значения напряжений	495
Рассеяние мощности	496
Задержки распространения сигнала	496
8.4. Характеристики различных серий ТТЛ	497
Стандартная серия 74 ТТЛ	497
Серия 74S ТТЛ на базе транзисторов Шотки	497
Серия 74LS на маломощных транзисторах Шотки	498
Серия 74AS на улучшенных транзисторах Шотки	498
Серия 74ALS на маломощных улучшенных транзисторах Шотки	499
74F — быстродействующие схемы на ТТЛ	499
Сравнение характеристик ТТЛ различных серий	499
8.5. Коэффициент нагрузки и коэффициент разветвления в схемах на ТТЛ	501
Определение коэффициента разветвления	502
8.6. Другие характеристики ТТЛ	506
Неподключенные (плавающие) входы	506
Неиспользуемые входы	506
Замкнутые входы	507
Смещение входов схем ТТЛ в состояние с низким уровнем	508
Переходы тока	509
8.7. МОП-технология	510
Полевой канальный МОП-транзистор	511
Ключи на полевых транзисторах	512
8.8. Цифровые схемы на полевых транзисторах	513
8.9. Комплементарная МОП-логика	514
Инвертор на КМОП	514
Элемент И-НЕ на КМОП	515
Элемент ИЛИ-НЕ на КМОП	516
RS-триггер на КМОП	517
8.10. Характеристики различных серий ИС на КМОП	517

Серии 4000/14000	518
Серия 74С	518
Серии 74НС/НСТ (быстродействующие КМОП-структуры)	518
Серии 74АС/АСТ (улучшенные КМОП-структуры)	518
Серии 74АНС/АНСТ (улучшенные быстродействующие КМОП-структуры)	519
Биполярная КМОП-логика	519
Напряжение источника питания	519
Логические уровни напряжения	520
Запас помехоустойчивости	520
Мощность рассеяния	520
Увеличение P_D с ростом частоты	521
Коэффициент разветвления	522
Скорость переключения состояний	522
Неиспользуемые входы	523
Статическая чувствительность	523
Фиксация	524
8.11. Низковольтная технология	525
Семейство КМОП	525
Семейство биполярной КМОП-логики	526
8.12. Выходы с открытым коллектором/стоком	528
Выходы с открытым коллектором/стоком	529
Буфер/драйвер с открытым коллектором/стоком	531
Обозначения стандарта IEEE/ANSI для выходов с открытым коллектором/стоком	533
8.13. Тристабильные логические выходы (выходы с тремя состояниями)	534
Преимущества тристабильных структур	535
Тристабильные буферы	535
Тристабильные ИС	537
Обозначение тристабильных выходов согласно стандарту IEEE/ANSI	537
8.14. Высокоскоростная логика шинного интерфейса	538
8.15. Цифровые ИС семейства ЭСЛ	540
Базовая схема ЭСЛ	540
Элемент ИЛИ/ИЛИ-НЕ на ЭСЛ	540
Характеристики ЭСЛ	542
8.16. Передаточный логический элемент (двунаправленный переключатель) на КМОП	544
8.17. Сопряжение интегральных схем	547
8.18. Управление КМОП на базе ТТЛ	548
Управление высоковольтными устройствами на КМОП с помощью ТТЛ	548
8.19. Управление ТТЛ на базе КМОП	549
Управление ТТЛ в состоянии с высоким уровнем с помощью КМОП	550
Управление ТТЛ в состоянии с низким уровнем с помощью КМОП	550
Управление ТТЛ с помощью высоковольтных устройств на КМОП	552
8.20. Аналоговые компараторы напряжения	553
8.21. Поиск неисправностей	554
Использование логического импульсного генератора и пробника при тестировании схемы	555
Поиск замкнутых узлов	555
Токовый детектор	556
Глава 9. Логические схемы средней степени интеграции	579
9.1. Дешифраторы	580
Разрешающие входы	581
Преобразование двоично-десятичного кода в двоичный	585
Преобразование двоично-десятичного кода в десятичный	587

Применение дешифраторов	587
9.2. Преобразование двоично-десятичного кода в семисегментный	589
Сравнение индикаторов на светоизлучающих диодах с общим анодом и общим катодом	591
9.3. Жидкокристаллические индикаторы	592
Управление ЖКИ	593
Типы ЖКИ	593
9.4. Шифраторы	596
Приоритетные шифраторы	598
Приоритетный шифратор 74147, преобразующий десятичный код в двоично-десятичный	598
Ключевой шифратор	600
9.5. Поиск неисправностей	603
9.6. Мультиплексоры (селекторы данных)	606
Базовый мультиплексор с двумя входами	606
Мультиплексор с четырьмя входами	607
Мультиплексор с восемью входами	608
ИС 74ALS157/HC157 (четыре мультиплексора с двумя входами)	610
9.7. Применение мультиплексоров	612
Маршрутизация данных	612
Преобразование параллельного кода в последовательный	613
Установка последовательности передачи данных	614
Формирование логической функции	616
9.8. Демультимплексоры (распределители данных)	617
Демультимплексор с 1 входом и 8 выходами	618
Синхронизируемый демультимплексор	620
Охранные системы наблюдения	620
Синхронные системы передачи данных	623
Приемник	623
Полное описание работы схемы	625
9.9. Дополнительные сведения о поиске неисправностей	627
9.10. Компараторы величин	631
Входы данных	631
Выходы	631
Последовательное соединение	631
Применение	633
9.11. Преобразователи кодов	635
Основной принцип преобразования кодов	635
Процесс преобразования	636
Реализация схемы	637
Другие варианты построения преобразователей кодов	639
9.12. Шины данных	639
9.13. Тростабильный регистр 74ALS173/HC173	641
9.14. Функционирование шины данных	643
Передача данных	645
Сигналы на шине данных	645
Упрощенная временная диаграмма сигналов на шине данных	647
Расширение шины	647
Упрощенное представление шины данных	649
Двухнаправленные шины данных	650
9.15. ПЛУ и таблицы истинности	652
Приоритетный шифратор	654
Глава 10. Сопряжение с аналоговым миром	679
10.1. Сопряжение с аналоговым миром	680
Сравнительный обзор цифровых и аналоговых систем	680

10.2. Цифро-аналоговое преобразование	682
Аналоговый выходной сигнал	684
Весовые коэффициенты входных битов	684
Разрешающая способность(величина шага квантования)	685
Процентная разрешающая способность	687
Физический смысл разрешающей способности	688
Двоично-десятичный входной код	689
Биполярные ЦАП	691
10.3. Строение цифро-аналогового преобразователя	692
Точность преобразования	694
ЦАП с выходом по току	695
Резистивная цепь типа R/2R	696
10.4. Характеристики цифро-аналоговых преобразователей	698
Разрешающая способность	698
Точность	698
Погрешность смещения нуля	699
Время установления сигнала	700
Монотонность	700
10.5. Цифро-аналоговые преобразователи на интегральных схемах	700
10.6. Применение цифро-аналоговых преобразователей	701
Управление	701
Автоматический контроль	702
Восстановление сигнала	702
Аналого-цифровое преобразование	702
ЦАП с последовательной передачей данных	702
10.7. Поиск неисправностей в цифро-аналоговых преобразователях	702
10.8. Аналого-цифровое преобразование	704
10.9. Интегрирующие аналого-цифровые преобразователи	706
Разрешающая способность и точность аналого-цифровых преобразователей	709
Время преобразования t_c	710
10.10. Сбор данных	711
Восстановление оцифрованного сигнала	713
Помеха дискретизации	714
10.11. Аналого-цифровые преобразователи поразрядного уравнивания	716
Время преобразования	718
Реальная ИС: АЦП поразрядного уравнивания ADC0804	719
10.12. Аналого-цифровые преобразователи параллельного типа	723
Время преобразования	725
10.13. Другие методы аналого цифрового преобразования	726
Реверсивные интегрирующие аналого-цифровые преобразователи (АЦП следящего типа)	726
Аналого-цифровые преобразователи с двойным интегрированием	726
Аналого-цифровые преобразователи напряжение частота	727
Сигма/дельта модуляция	728
10.14. Цифровые вольтметры	729
10.15. Схемы выборки и хранения	732
10.16. Мультиплексирование	733
10.17. Цифровой запоминающий осциллограф	734
Другие области применения	737
10.18. Цифровая обработка сигналов	737
Цифровая фильтрация	738
Глава 11. Запоминающие устройства	761
11.1. Терминология систем памяти	763
11.2. Общие принципы функционирования схем памяти	767

Входы адреса	768
Вход чтения/записи $R/\bar{W}$	768
Включение памяти	769
11.3. Соединение схем памяти с центральным процессором	771
11.4. Постоянные запоминающие устройства	772
Структурная схема ПЗУ	773
Операция чтения	774
11.5. Архитектура ПЗУ	775
Массив регистров	775
Дешифраторы адреса	776
Выходные буферы	776
11.6. Временные параметры ПЗУ	777
11.7. Типы ПЗУ	778
Программируемое по фотошаблону ПЗУ	778
Программируемые ПЗУ (ППЗУ)	781
Стираемые программируемые постоянные запоминающие устройства (СППЗУ)	783
Электрически стираемое программируемое ПЗУ(ЭСППЗУ)	785
Постоянные запоминающие устройства на компакт-дисках CD ROM)	788
11.8. Флэш-память	789
КМОП-ИС флэш-памяти 28F256A	791
Команда чтения	792
Команды стирания/подготовки к стиранию	793
Команда стирания с последующим контролем	793
Команды подготовки к программированию/программирования	794
Команда программирования с последующим контролем	794
11.9. Применение ПЗУ	794
Программно-аппаратное обеспечение	794
Запоминающие устройства для хранения программы самозагрузки	795
Таблицы данных	795
Преобразователь данных	796
Генераторы функций	796
Вспомогательные запоминающие устройства	797
11.10. Полупроводниковые ОЗУ	798
11.11. Архитектура ОЗУ	798
Операция чтения	799
Операция записи	800
Выбор микросхемы	800
Входы ввода-вывода	800
11.12. Статические ОЗУ (SRAM)	802
Временные процессы в статических ОЗУ	802
Цикл чтения	803
Цикл записи	805
Реальная микросхема статической памяти	806
11.13. Динамические ОЗУ (DRAM)	808
11.14. Структура и функционирование динамических ОЗУ	809
Мультиплексирование адресов	811
11.15. Циклы чтения/записи динамического ОЗУ	815
Цикл чтения динамического ОЗУ	815
Цикл записи динамического ОЗУ	816
11.16. Обновление информации в динамическом ОЗУ	818
11.17. Технологии динамической памяти	821
Модули памяти	822
FPM DRAM	822
EDO DRAM	823

SDRAM	823
DDR SDRAM	823
SLDRAM	823
DR DRAM	824
11.18. Увеличение длины слов данных и емкости памяти	824
Расширение длины слова данных	824
Расширение емкости запоминающих устройств	827
Неполная дешифрация адреса	830
Объединение чипов динамической памяти	832
11.19. Специальные функции памяти	833
Хранение информации при отключении питания	833
Кэш-память	834
Память FIFO	835
Кольцевые буферы	836
11.20. Поиск неисправностей в системах оперативной памяти	836
Функционирование ОЗУ	837
Тестирование дешифрирующих логических элементов	840
Тестирование полной системы оперативной памяти	841
11.21. Тестирование ПЗУ	845
Глава 12. Применение программируемых логических устройств	865
12.1. Фундаментальные понятия схемотехники ПЛУ	867
Обозначения ПЛУ	868
12.2. Архитектура ПЛУ	869
ППЗУ	869
Программируемая матричная логика	871
Программируемая пользователем матричная логика	873
12.3. ПЛУ GAL 16V8 (типовая матричная логика)	874
Простой режим	878
Сложный режим	881
Буферизованный режим	882
12.4. Привязка карты пережигания языка CUPL к архитектуре ПЛУ GAL 16V8	886
12.5. Проблемы проектирования	888
Схема разрешения конфликтов	890
Дешифрация состояний счетчика	892
12.6. ПЛУ GAL 22V10	897
12.7. Клавишное кодирующее устройство	900
12.8. Разработка более совершенных ПЛУ	906
Тенденции развития программного обеспечения	908
Приложение А. Введение в микропроцессоры и микрокомпьютеры	915
А.1. Что такое цифровой компьютер?	917
А.2. Как компьютер “думает”?	917
А.3. Секретный агент “89”	918
А.4. Организация простейшей компьютерной системы	919
Арифметико-логическое устройство (АЛУ)	920
Запоминающее устройство	920
Устройство ввода	921
Устройство вывода	921
Интерфейс	921
Устройство управления	922
Центральное процессорное устройство (ЦПУ)	922
А.5. Основные элементы микрокомпьютеров	923
Микропроцессор (МПУ)	924
А.6. Машинные слова	926

Типы машинных слов	926
А.7. Командные слова	927
Многобайтные команды	928
А.8. Выполнение программы машинного языка	930
Выполнение программы	933
А.9. Структура типичного микрокомпьютера	935
Системные шины	936
Порты ввода-вывода	937
Временные процессы	938
А.10. Комментарии	940
Приложение Б. Спецификации некоторых интегральных схем	943
Приложение В. Элементы логических схем	955
Триггеры	955
Булевы теоремы	957
Таблицы истинности логических элементов	958
Обозначения логических элементов	958
Глоссарий	960
Предметный указатель	1018